



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010051012 (43) Publication.Date. 20010625

(21) Application No.1020000060223 (22) Application Date. 20001013

(51) IPC Code:

H01L 21/24

(71) Applicant:

MOTOROLA INC.

(72) Inventor:

DROOPAD RAVINDRANATH

RAMDANI JAMAL

YU ZHIYI JIMMY

(30) Priority:

1999 425945 19991025 US

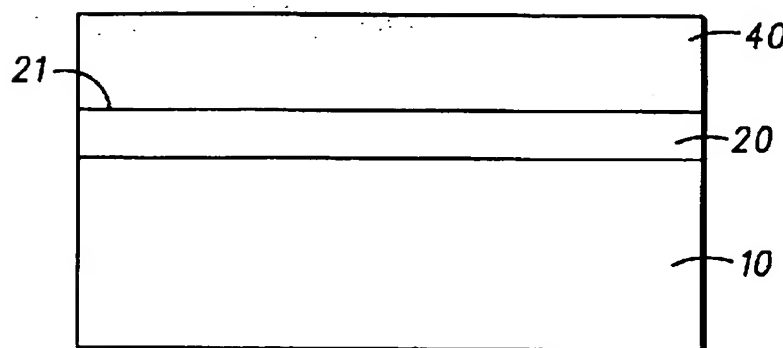
(54) Title of Invention

METHOD FOR FABRICATING SEMICONDUCTOR STRUCTURE INCLUDING METAL OXIDE INTERFACE WITH SILICON

Representative drawing

(57) Abstract:

PURPOSE: A method of fabricating semiconductor structure is provided to fabricate a thin stable silicide interface with silicon.



CONSTITUTION: The method of manufacturing semiconductor structure comprises a step of providing a silicon substrate(10) having a surface, a step of forming seed layers(20) composed of silicide materials on the surface of the substrate(10) by ALD(Atomic Layer Deposition), and a step of forming one or more layers of an oxide(40) having a high dielectric constant on the seed layers(20,) by atomic layer deposition.

© KIPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/24

(11) 공개번호 특2001-0051012
(43) 공개일자 2001년06월25일

(21) 출원번호 10-2000-0060223
(22) 출원일자 2000년10월13일
(30) 우선권주장 9/425,945 1999년10월25일 미국(US)
(71) 출원인 모토로라 인코포레이티드 바센트 비.인그라시아, 알크 엠·아헨
미국, 일리노이 60196, 샤움버그, 이스트 앨공권 로드 1303
(72) 발명자 랑당, 자말
미국, 아리조나주85233, 길버트, 웨스트데본드라이브822
드루패드, 라빈드라나쓰
미국, 아리조나주85226, 캔들러, 웨스트타이슨스트리트4515
유, 자이이지미
미국, 아리조나주85233, 길버트, 웨스트메릴애비뉴449
(74) 대리인 문경진, 조현석

심사청구 : 없음

(54) 실리콘과의 금속 산화물 경계면을 포함하는 반도체 구조를제조하기 위한 방법

요약

반도체 구조를 제조하는 방법은, 표면(12)을 갖는 실리콘 기판(10)을 제공하는 단계와, 원자층 증착(ALD : Atomic Layer Deposition)에 의해 이러한 실리콘 기판(10)의 표면(12)에 규산염 물질을 포함하는 시드층(seed layer)(20;20')을 형성하는 단계와, 원자층 증착(ALD)에 의해 이러한 시드층(20;20') 상에 높은 유전상수를 갖는 산화물(40)의 하나 이상의 층을 형성하는 단계를 포함한다.

대표도

도9

영세서

도면의 간단한 설명

도 1은 본 발명에 따라 표면에 다수의 산화물층을 갖는 클린(clean) 반도체 기판의 제 1 실시예의 단면도.
도 2는 본 발명에 따라 원자층 증착을 사용하여 규산염층으로 형성되는 경계면 시드층을 갖는 반도체 기판의 단면도.
도 3은 본 발명에 따라 표면에 수소의 층(hydrogen layer)을 갖는 클린 반도체 기판의 제 2 실시예의 단면도.
도 4는 본 발명에 따라 표면에 산화물층을 갖는 반도체 구조의 단면도.
도 5는 본 발명에 따라 원자층 증착을 사용하여 규산염층으로 형성되는 경계면 시드층을 갖는 반도체 기판의 단면도.
도 6은 본 발명에 따라 원자층 증착을 사용하여 경계면 시드층을 형성하는 방법을 도시하는 도면.
도 7은 본 발명에 따라 원자층 증착을 사용하여 도 2 및 도 5에서 예시된 구조 상에 형성되는 높은 유전 상수를 갖는 금속 산화물층을 갖는 반도체 기판의 단면도.
도 8은 본 발명에 따라 원자층 증착을 사용하여 높은 유전상수를 갖는 금속 산화물 층을 형성하는 방법을 도시하는 도면.
도 9는 본 발명에 따라 원자층 증착을 사용하여 도 2 및 도 5에 예시된 기판상에 형성된 높은 유전 상수를 갖는 금속 산화물층을 갖는 반도체 기판의 단면도.

<도면 주요 부분에 대한 부호의 설명>

10 : 기판
20, 20' : 시드층(seed layer)
40 : 높은 유전상수를 갖는 산화물층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일반적으로 실리콘 기판과 금속 산화물 사이에 규산염 경계면(silicate interface)을 포함하는 반도체 구조를 제조하기 위한 방법에 관한 것으로, 좀더 특별히는 원자층 증착(atomic layer deposition) 또는 원자층 에피택시(atomic layer epitaxy)를 사용하여 시드층을 포함하는 경계면을 제조하는 방법에 관한 것이다.

안정된 실리콘(Si) 표면은, 예를 들면 불휘발성 고밀도 메모리 및 차세대 MOS 장치를 위한 강유전체 또는 높은 유전 상수를 갖는 산화물과 같은, 많은 장치 응용을 위해서 실리콘 상에서의 금속 산화물 박막의 후속적인 에피택셜 성장에 가장 바람직하다. 높은 k를 갖는 금속 산화물의 후속적인 성장을 위해서 Si 표면에 안정된 전이층을 형성하는 것이 중요하다.

몇몇 보고에 의하면, 실리콘(Si)(100) 상에서 BaO 및 BaTiO₃와 같은 이러한 산화물의 성장은, 850℃ 보다 높은 온도에서 분자 빔 에피택시(molecular beam epitaxy)를 이용하여 Si(100) 상에 Ba의 1/4 단일층을 증착시킴으로써, BaSi₂{입방정의(cubic)} 주형(template)에 기초한다는 것이다. 예를 들어, R. 맥키 등에 의한 응용물리학회지(R. McKee et al., Appl. Phys. Lett.) 59(7), pp. 782-784(1991년 8월 12일); R. 맥키 등에 의한 응용물리학회지(R. McKee et al., Appl. Phys. Lett.) 63(20), pp. 2818-2820(1993년 11월 15일); R. 맥키 등에 의한 수학회 연구회 심포지엄 회보(R. McKee et al., Mat. Res. Soc. Symp. Proc.), 21권, pp. 131-135(1991년); "에피택셜 방법으로 실리콘 기판에 산화물을 증착시키는 공정 및 상기 공정으로 제조된 구조"라는 제목의 1993년 7월 6일 등록된 미국 특허 제 5,225,031호; "에피택셜 알칼리 토금속 산화물을 기판에 증착시키는 공정 및 상기 공정으로 제조된 구조"라는 제목의 1996년 1월 9일 등록된 미국 특허 제 5,482,003호를 참조한다. c(4×2) 구조를 갖는 스트론튬 규소 화합물(SrSi₂) 경계면 모델(interface model)이 제안되었다. 예를 들어, R. 맥키 등에 의한 응용물리학회지(R. McKee et al., Phys. Rev. Lett.) 81(14), 3014(1998년 10월 5일)를 참조한다. 그러나, 이와 같이 제안된 구조의 원자 레벨 시뮬레이션(atomic level simulation)은, 이것이 상응한 온도에서는 안정하지 않을 수 도 있다는 것을 나타낸다.

SrO 완충층(buffer layer)을 이용하여 실리콘(100)에 SrTiO₃를 성장시키는 것이 달성되었다. 예를 들어, T. 탐보 등에 의한 일본 응용물리학회지(T. Tambo et al., Jpn. J. Appl. Phys.), 37권(1998년), pp.4454-4459를 참조한다. 그러나, SrO 완충층은 두꺼웠고(100Å), 이로 인해서 트랜지스터막(transistor film)을 위한 응용을 제한하였으며, 결정도(crystallinity)는 성장 중에 유지되지 않았다.

게다가, SrTiO₃는 SrO 또는 TiO₂의 두꺼운 산화물층(60-120Å)을 이용하여 실리콘에서 성장되고 있다. 예를 들어, B.K. 문 등에 의한 일본응용물리학회지(B.K. Moon et al., Jpn. J. Appl. Phys.), 33권(1994년), pp. 1472-1477를 참조한다. 이러한 두꺼운 완충층은 트랜지스터에 대한 응용을 제한할 것이다.

발명이 이루고자하는 기술적 과제

높은 k를 갖는 산화물은 차세대 MOSFET 응용에 있어서 매우 중요하다. 전형적으로, 이러한 모든 공지된 구조에서, 높은 k를 갖는 산화물은, 분자빔 에피택시(MBE : Molecular Beam Epitaxy), 펄스 레이저 증착(PLD : Pulsed Laser Deposition), 스퍼터링(sputtering), 및/또는 금속-유기 화학적 증기 증착(MOCVD : Metal-Organic Chemical Vapor Deposition)을 이용하여 제조된다. 이러한 유형의 제조방법에서, 저밀도의 경계면 트랩, 낮은 누설전류를 달성하고, 8" 이상과 같은 넓은 영역에 걸친 두께 및 구성의 균일성과, 트렌치(trenches)에 걸친 일치도(conformity)를 위해서 실리콘 산화물 경계면을 제어하는 것은 어렵다. 따라서, 실리콘 기판과 금속 산화물층 사이에 더 양호한 경계면을 제공하며, 제조가 간단하고, 제어가능하며, MOSFET 장치에서 프링지 효과(fringing effects)를 억제하고, 대량 생산에 적합한 방법이 필요하다.

따라서, 본 발명의 목적은, 얇고, 안정된, 실리콘과의 규산염 경계면을 제조하는 방법을 제공하는 것이다.

본 발명의 또 다른 목적은, 높은 처리량 제조시에 신뢰할 수 있고, 적합한, 실리콘과의 금속 산화물 경계면을 포함하는 반도체 구조 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

앞의 문제와 다른 문제들은 적어도 부분적으로 해결되며, 앞의 목적 및 다른 목적은, 표면을 갖는 실리콘 기판을 제공하는 단계, 이 실리콘 기판의 표면에 원자층 증착(ALD : Atomic Layer Deposition)을 이용하여 규산염 물질을 포함하는 시드층(seed layer)을 형성하는 단계, 및 원자층 증착(ALD)을 이용하여 이러한 시드층 상에 높은 유전상수를 갖는 산화물의 하나 이상의 층을 형성하는 단계를 포함하는, 반도체 구조 제조 방법에서 실현된다.

본 개시 내용은, 실리콘 기판과의 경계면을 갖는 높은 유전 상수(높은-k)를 갖는 금속 산화물을 제조하는 방법을 제시한다. 이러한 방법은, 알칼리-토금속 산화물층의 후속적인 성장에 필요한, 안정된 규산염 시드층을 형성하기 위하여 원자층 증착(ALD)을 사용하는 것에 기초한다. 따라서, 원자층 증착을 사용하

여 시드층과 금속 산화물층을 성장시키는 새로운 방법이 개시된다.

실리콘(Si) 기판과 높은 유전상수(높은-k)를 갖는 금속 산화물의 하나 이상의 층 사이에 새로운 경계면을 형성하기 위해서, 원자층 증착을 사용하는 두 가지의 특별한 접근법이 기판에 따라서 사용될 수 있다. 표면상에 형성되는 이산화실리콘(SiO_2)을 갖는 Si 기판을 가지고 시작하는 제 1 예가 제공될 것이다. 이러한 이산화실리콘은 순수한 산화물로 형성되거나 열적 기법 또는 화학적 기법을 사용하는 것으로 개시된다. SiO_2 는 단일 결정이기보다는 비결정성(amorphous)이며, 이것은, 경계면층을 생성하기 위해서 기판 상에 시드층 물질을 성장시키는데 바람직하다. 수소(H)의 표면 안정화(hydrogen passivation)를 견딜으로써 기판 상에 수소(H)의 층을 형성하는 Si 기판을 가지고 시작하는 제 2 예가 제공될 것이다.

실시에

이제, 전체 도면을 통해서 비슷한 요소는 비슷한 번호로 나타나는 도면으로 화제를 돌리면, 도 1은 표면(12)을 갖는 Si 기판(10)과 그 위의 SiO_2 층(14)을 예시한다. 이러한 특별한 실시예에서, 일단 실리콘 기판(10)이 공기(산소)에 노출되면, SiO_2 층(14)은 자연히 존재한다(자연 산화물). 대안적으로, SiO_2 층(14)은, 상기 기술에서 잘 공지된 제어 방식, 예를 들어 열적으로 고온에서 표면(12) 위에 산소를 가함으로써 또는 화학적으로 표준 화학 에칭 방법을 사용함으로써 의도적으로 형성될 수 있다. 층(14)은 5-100 Å 범위의 두께, 보다 특별하게는 10-25 Å 범위의 두께로 형성된다.

새로운 시드층(현재 논의 중)은 원자층 증착을 사용하여 형성된다. 먼저, 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2), 스트론튬 산화물(SrO_2), 또는 동종의 물질과 같은 금속 산화물(18)의 얇은 층(20 Å 미만)은, 600°C 미만과 같은 상대적으로 낮은 온도에서 염화물 또는 디케톤 선구물질(diketonate precursor) 및 산소(O_2), 물(H_2O), 아산화질소(N_2O) 또는 산화질소(NO)를 사용하여 SiO_2 층(14)의 표면(16) 상에 증착된다. 좀더 특별하게, Si 기판(10)과 비결정성 SiO_2 층(14)은 SiO_2 층(14)의 승화 온도 이하로, 일반적으로 900°C 이하로 가열되며, 바람직한 실시예에서 금속 산화물(18)을 증착시키기 이전에는 600°C 이하로 가열된다.

다음으로, 이후에 기판(10)의 온도는, 금속 산화물(MO_x)층(18)과 SiO_2 층(14)이, 도 2에 예시된 바와 같이, MSiO_x (규산염)의 시드층(20)을 형성하도록 반응하기 위해서 600°C 이상으로 상승된다.

이 단계는 실리콘 기판 상에 안정된 규산염을 형성시키며, 좀더 특별히는 시드층(20)을 형성시킨다. 규산염, 즉 시드층(20)의 두께는 대략 몇 개의 단일층 두께이며, 좀더 상세히는 5-100 Å 범위이며, 바람직하게는 10-25 Å 범위의 두께를 갖는 SiO_2 층(14)의 두께와 동일하다. 이러한 특정 실시예에서, 층(14)의 표면(16)에 대한 금속 산화물(18)의 인가, 질소(N_2), 아르곤(Ar), 또는 헬륨(He)을 사용하는 후속적인 플러싱(flushing) 및 가열은, 시드층(20)으로써 하프늄 실리콘 산화물 (HfSiO_4), 지르코늄 실리콘 산화물(ZrSiO_4), 스트론튬 실리콘 산화물(SrSiO_4), 또는 동종의 물질을 형성하는 화학 반응을 야기한다. 이러한 반도체 구조에 대한 모니터링은, 반사 차 분광법(reflection difference spectroscopy), 분광학적인 타원 편광법(spectroscopic ellipsometry) 또는 동종의 기술과 같은 임의의 표면 감광 기술(surface sensitive technique)을 이용하여 수행될 수 있고, 여기서 표면은 종래의 기술에 의해 모니터링된다.

기술된 특정 실시예에 대해 상기 공정에 제시된 온도가 권고되지만, 본 발명은 특정 온도 또는 압력 범위에 제한되지 않는다는 것이 당업자에 의해 이해되어야 한다.

대안적인 실시예에서, 도 3 내지 도 6에 예시되는 바와 같이, 수소(H)의 표면 안정화를 견딜으로써 기판 상에 수소(H)의 층(13)을 갖는 표면(12')을 갖는 Si 기판(10')이 개시된다. 도 3 내지 도 5의 구성요소와 유사한, 도 1 및 도 2의 모든 구성요소는, 다른 실시예임을 나타내도록 추가된 하나의 프라임(')을 갖는 유사한 번호로 나타낸다. 이러한 특정 실시예에서, 수소(H)의 층(13)은 수소 표면 안정화 기법에 의한 제어 방식으로 형성된다.

새로운 시드층(현재 논의되는)은 원자층 증착을 사용하여 형성된다. 먼저, 수소(H)의 층(13)은, 높은 온도 바람직하게는 300°C를 초과하는 온도에서 표면(12')으로부터 제거된다. 다음으로, Si 기판(10')의 표면(12')은, 도 6의 (30)에 도시된 바와 같이 T1의 시간 동안, 실란(silane)(SiH_4), 디실란(disilane)(SiH_6) 또는 동종의 물질과 같은 Si 선구물질과 하프늄(Hf), 스트론튬(Sr), 지르코늄(Zr) 또는 동종의 물질과 같은 금속 선구물질(도 4의 15)에 노출된다. 기판(10')은, 일반적으로 100°C-500°C 사이의 온도, 바람직한 실시예에서는 250°C의 온도와 0.5mTorr의 대기압에서 선구물질에 노출된다. 선구물질이 증착되면, 표면(17)은, 임의의 과잉 물질을 제거하기 위해서 도 4 및 도 6에서 예시된 바와 같은 시간(T2) 동안 아르곤(Ar), 질소(N_2) 또는 헬륨(He)과 같은 비활성 기체로 플러싱(flushing)된다(32). 그런 다음, 스텝은, Si 및 금속층(15)을 산화시킴으로써 일반적으로 도 2의 시드층(20)과 유사한 시드층(20')을 형성하기 위해서 시간(T3) 동안 플라즈마를 갖거나 갖지 않는 산소(O_2), 물(H_2O), 아산화질소(N_2O) 또는 산화질소(NO)에 노출된다(34). 마지막으로, 시드층(20')은, 도 6에서 예시한 바와 같이 임의의 과잉 산소(O_2)를 제거하기 위해서 아르곤(Ar), 질소(N_2) 또는 헬륨(He)으로 플러싱 된다(36).

이러한 단계는, 수소의 표면 안정화된 실리콘 기판 상에 안정된 규산염을 형성시키며, 좀더 특별히는 시드층(20')을 형성시킨다. 시드층(20')의 두께는 대략 몇 개의 단일층 두께이며, 좀더 상세히는 5-100 Å 범위이며, 바람직하게는 10-25 Å 범위를 갖는다. 이러한 특정 실시예에서, 원자층 증착은, 몇 개의 단일층을 형성하기 위해서 몇 번의 주기, 바람직하게는 4-5 주기 동안 반복된다. 따라서, 시드층(20')으로써 하프늄 실리콘 산화물(HfSiO_4), 지르코늄 실리콘 산화물 (ZrSiO_4), 스트론튬 실리콘 산화물(SrSiO_4) 또는

동종의 물질을 형성하는 화학 반응이 일어난다.

$M_xSi_{1-x}O$ 의 구성을 갖는 층(20')에서 0 내지 1인 구성요소(x)는, 더 양호한 제어를 위해 반응 챔버에 유입시키기 전에 혼합되는 금속과 실리콘의 선구물질 흐름을 사용하여 조정될 수 있음이 이해되어야 한다. 좀더 특별히, 등급화된 구성(graded composition)이 사용될 수 있으며, 이로써 ALD를 이용한 결과적인 최후 층 증착은 어떠한 실리콘을 포함하지 않는 금속 산화물만의 층을 만든다.

이제, 도 7, 도 8 및 도 9를 참조하면, 높은 유전상수를 갖는 산화물층(40)의 형성이 원자층 증착에 의해 완성된다. 먼저, 시드층(20)은 시간(T1) 동안 하프늄(Hf), 스트론튬(Sr), 지르코늄(Zr), 란타(La), 알루미늄(Al), 이트륨(Y), 티타늄(Ti), 바륨(Ba), 란타 스칸듐(LaSc) 또는 동종의 물질과 같은 금속 선구물질에 노출되어서(50), 시드층(20)의 표면(21) 상에 층(42)을 형성한다. 시드층(20)은 일반적으로 100°C-500°C 사이의 온도, 바람직한 실시예에서는 250°C의 온도와 0.5mTorr의 대기압에서 금속 선구물질에 노출된다(50). 다음으로, 층(42)의 표면(43)은, 과잉 금속 선구물질을 제거하기 위해서 시간(T2) 동안 아르곤(Ar), 질소(N_2) 또는 헬륨(He)과 같은 비활성 기체로 플라싱된다(52). 마지막으로, 반도체 구조는, 층(42), 좀더 특별히는 금속 선구물질을 산화시켜서 도 9에 예시된 바와 같이 높은-k를 갖는 금속 산화물층(42)을 형성하기 위해서 시간(T3) 동안 플라즈마를 갖거나 갖지 않는 산소(O_2), 물(H_2O), 아산화질소(N_2O) 또는 산화질소(NO)에 노출된다(54). 따라서, 높은-k를 갖는 금속 산화물층(40)이, 하프늄 산화물(HfO_2), 지르코늄 산화물(ZrO_2), 스트론튬 티타네이트($SrTiO_3$), 란타 산화물(La_2O_3), 이트륨 산화물(Y_2O_3), 티타늄 산화물(TiO_2), 바륨 티타네이트($BaTiO_3$), 란타 알루미늄이트($LaAlO_3$), 란타 스칸듐 산화물($LaScO_3$) 및 알루미늄 산화물(Al_2O_3)의 그룹으로부터 선택된 높은 유전상수를 갖는 적어도 하나의 산화물을 포함한다는 것이 개시된다.

마지막 단계로, 층(40)은 임의의 과잉 산소를 제거하기 위해서 아르곤(Ar), 질소(N_2), 헬륨(He) 또는 동종의 물질로 플라싱된다(56). 이러한 원자층 증착은, 원하는 두께의 높은-k를 갖는 산화물을 형성하기 위해서 소정의 주기동안 반복된다.

따라서, 원자층 증착(ALD)을 이용하여서 본 명세서에서 기술되어진 바와 같은 실리콘(10)을 갖는 얇은 시드층(20)을 제조하기 위한 방법이 개시된다. 이러한 원자층 증착에 의한 규산염 층의 형성을 촉진하는 것은, 넓은 영역에 대한 두께 및 구성에 대한 고도의 정밀도 제어를 제공한다. 게다가, 트랜치에서의 성장의 일치성이 달성된다. 증착 공정의 각 주기에서, 표면상에서 입자의 이동(migration of species)이 증가된다.

발명의 효과

본 출원은 본 발명의 원리를 기술했지만, 본 발명의 범위 내에서 다른 관점, 이점 및 변형은 당업자에게 명백할 것이라고 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

반도체 구조를 제조하는 방법에 있어서,

표면(12)을 갖는 실리콘 기판(10)을 제공하는 단계와,

원자층 증착(atomic layer deposition)에 의해 상기 실리콘 기판의 상기 표면 상에 시드층(seed layer)(20)을 형성하는 단계와,

상기 원자층 증착에 의해 상기 시드층 상에 높은 유전상수를 갖는 산화물(40)의 하나 이상의 층을 형성하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 2

제 1항에 있어서, 상기 기판 제공 단계는 기판의 표면에 실리콘 산화물(14)을 형성한 기판을 제공하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 3

제 2항에 있어서, 원자층 증착에 의해 시드층을 형성하는 상기 단계는, 상기 실리콘 산화물의 표면에 금속 산화물층(18)을 증착하는 단계와, 비활성 기체를 사용하여 상기 금속 산화물층을 플라싱(flushing)하는 단계와, 규산염(silicate)을 형성하기 위해서 상기 금속 산화물과 상기 실리콘 산화물을 반응시키는 단계를 더 포함하는, 반도체 구조 제조 방법.

청구항 4

제 1항에 있어서, 상기 기판 제공 단계는 수소의 표면 안정화(hydrogen passivation)에 의해 기판 상에 형성되는 수소의 층(13)을 갖는 기판을 제공하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 5

제 4항에 있어서, 상기 원자층 증착에 의해 시드층(20)을 형성하는 상기 단계는, 상기 기판 상에 형성된 상기 수소의 층(13)을 제거하는 단계와,

상기 실리콘 기판을 상기 실리콘 기판의 상기 표면에 실리콘층 및 금속층을 형성하는 적어도 하나의 금속 선구물질(precursor) 및 실리콘 선구물질에 노출시키는 단계(50)와,

임의의 과잉 실리콘 및 금속 선구물질을 제거하기 위해서 비활성 기체를 사용하여 상기 실리콘층을 플라싱하는 단계(52)와,

상기 실리콘 및 금속층을 산화시켜서 하나의 산화된 단일층을 형성시키기 위해서, 상기 실리콘층의 상기 표면을 플라즈마를 갖거나 갖지 않는 산소(O_2), 물(H_2O), 아산화질소(N_2O), 또는 산화질소(NO) 중 적어도 하나에 노출시키는 단계(54)와,

비활성 기체를 사용하여 상기 산화된 단일층을 플라싱(56)하는 단계를 더 포함하는, 반도체 구조 제조 방법.

청구항 6

제 5항에 있어서, 단일층들을 형성하기 위해서, 상기 원자층 증착을 반복하는 단계를 더 포함하는, 반도체 구조 제조 방법.

청구항 7

제 1항에 있어서, 상기 원자층 증착에 의해 높은 유전상수를 갖는 산화물의 하나 이상의 층(42)을 형성하는 상기 단계는, 상기 시드층을 금속 선구물질에 노출시켜(50)서 금속층을 형성하는 단계와,

비활성 기체를 사용하여 상기 금속층을 플라싱하는 단계(52)와,

상기 금속층을 산화시켜서, 높은-k를 갖는 하나의 산화된 단일층을 형성하기 위해서, 상기 금속층을 플라즈마를 갖거나 갖지 않는 산소(O_2), 물(H_2O), 아산화질소(N_2O), 또는 산화질소(NO) 중 적어도 하나에 노출시키는 단계(54)와,

비활성 기체를 사용하여 상기 산화된 단일층을 플라싱(56)하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 8

제 7항에 있어서, 원하는 두께의 높은-k를 갖는 산화물층을 형성하기 위해서 상기 원자층 증착을 반복하는 상기 단계를 더 포함하는, 반도체 구조 제조 방법.

청구항 9

반도체 구조를 제조하는 방법에 있어서,

표면(12)을 갖는 실리콘 기판(10)을 제공하는 단계와,

원자층 증착에 의해 상기 실리콘 기판의 표면 상에 규산염 물질로 형성되는 시드층(20)을 형성하는 단계와,

상기 원자층 증착에 의해 상기 시드층 상에 높은 유전상수를 갖는 산화물의 하나 이상의 층(42)을 형성하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 10

제 9항에 있어서, 상기 원자층 증착에 의해서 규산염 물질의 상기 시드층을 형성하는 상기 단계는 스트론튬 실리콘 산화물($SrSiO_4$), 지르코늄 실리콘 산화물($ZrSiO_4$) 및 하프늄 실리콘 산화물($HfSiO_4$)의 그룹으로부터 선택된 규산염 물질의 상기 시드층을 형성하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 11

제 10항에 있어서, 상기 원자층 증착에 의해서 높은 유전상수를 갖는 산화물의 하나 이상의 층을 상기 시드층 상에 형성하는 상기 단계는 하프늄 산화물(HfO_2), 지르코늄 산화물(ZrO_2), 스트론튬 티타네이트($SrTiO_3$), 란타 산화물(La_2O_3), 이트륨 산화물(Y_2O_3), 티타늄 산화물(TiO_2), 바륨 티타네이트($BaTiO_3$), 란타 알루미늄이트 ($LaAlO_3$), 란타 스칸듐 산화물($LaScO_3$) 및 알루미늄 산화물(Al_2O_3)의 그룹으로부터 선택된 상기 높은 유전상수를 갖는 산화물층을 형성하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 12

제 11항에 있어서, 상기 기판 제공 단계는 표면에 실리콘 산화물(14)을 형성한 기판을 제공하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 13

제 12항에 있어서, 상기 원자층 증착에 의한 상기 시드층 형성 단계는 금속 산화물층(18)을 상기 실리콘 산화물의 표면에 증착시키는 단계와, 비활성 기체를 사용하여 상기 금속 산화물층을 플라싱하는 단계와, 스트론튬 실리콘 산화물($SrSiO_4$), 지르코늄 실리콘 산화물($ZrSiO_4$) 및 하프늄 실리콘 산화물($HfSiO_4$)의 그룹으로부터 선택된 상기 규산염을 형성하기 위해서 상기 금속 산화물과 상기 실리콘 산화물을 반응시키는 단계를 더 포함하는, 반도체 구조 제조 방법.

청구항 14

제 11항에 있어서, 상기 기판 제공 단계는 수소의 표면 안정화에 의해 기판 상에 형성된 수소의 층(13)을 갖는 기판을 제공하는 단계를 포함하는, 반도체 구조 제조 방법.

청구항 15

제 14항에 있어서, 상기 원자층 증착에 의한 시드층 형성 단계는, 상기 기판 상에 형성된 상기 수소의 층을 제거하는 단계와,

상기 실리콘 기판의 상기 표면 상에, 실리콘 및 금속층을 형성하는 적어도 하나의 금속 선구물질과 실리콘 선구물질에 상기 실리콘 기판을 노출하는 단계(50)와,

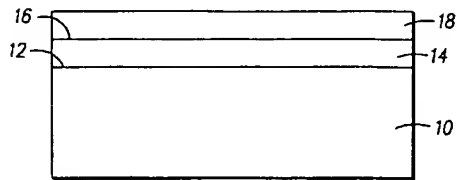
임의의 과잉 실리콘 및 금속 선구물질을 제거하기 위해서, 비활성 기체를 사용하여 상기 실리콘층을 플라싱하는 단계(52)와,

상기 실리콘 및 금속층을 산화시켜 하나의 산화된 단일층을 형성하기 위해서, 상기 실리콘층의 상기 표면을 플라스마를 갖거나 갖지 않는 산소(O_2), 물(H_2O), 아산화질소(N_2O), 또는 산화질소(NO) 중 적어도 하나에 노출하는 단계(54)와,

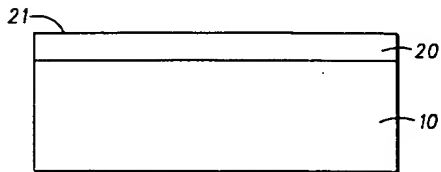
비활성 기체로 상기 산화된 단일층을 플라싱하는 단계(56)를 더 포함하는, 반도체 구조 제조 방법.

도면

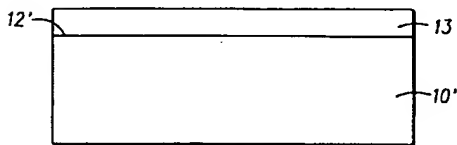
도면1



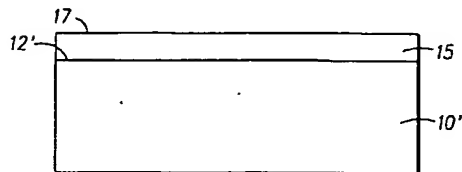
도면2



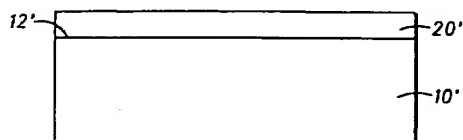
도면3



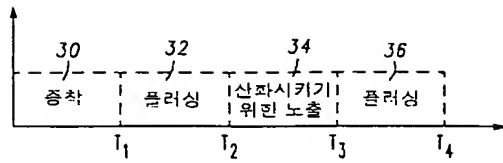
도면4



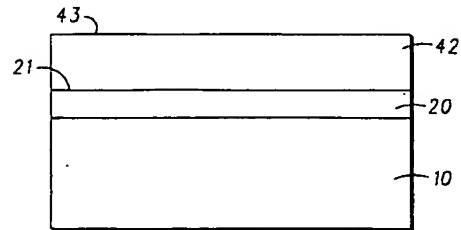
도면5



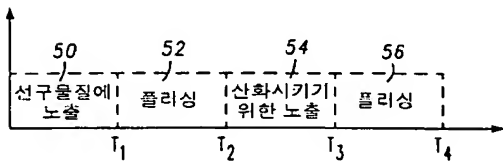
도면6



도면7



도면8



도면9

